

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-151598

(43)Date of publication of application : 24.05.2002

(51)Int.Cl.

H01L 21/8234

H01L 27/088

H01L 21/28

H01L 21/8238

H01L 27/092

H01L 29/43

(21)Application number : 2000-348978

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 16.11.2000

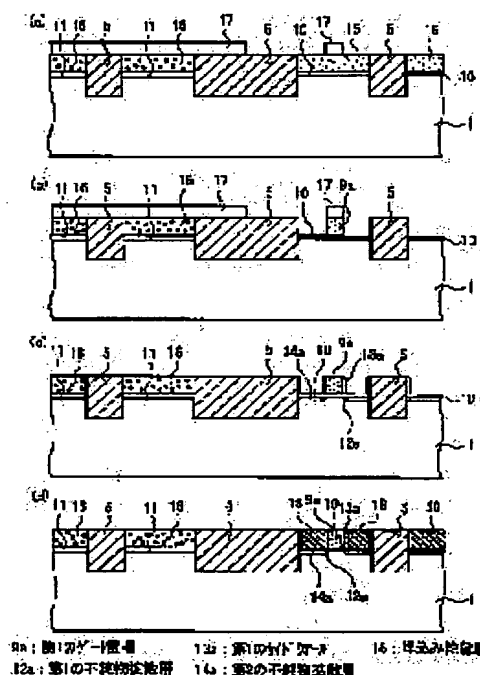
(72)Inventor : TSUTSUMI TOSHIKI

(54) SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREFOR

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a manufacturing method of a semiconductor device capable of forming transistors having different characteristics inside the same LSI with an excellent yield.

SOLUTION: The conductive films 15 and 16 of respectively different materials are buried through gate insulation films 10 and 11 in recessed parts formed between a plurality of trench insulation films 5 provided so as to be projected from the surface of a semiconductor substrate 1, they are patterned and a gate electrode 9a is formed.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's]

BEST AVAILABLE COPY

decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-151598

(P2002-151598A)

(43) 公開日 平成14年5月24日 (2002.5.24)

(51) Int.Cl. ⁷	識別記号	F I	テマコード* (参考)
H 0 1 L	21/8234	H 0 1 L	21/28
	27/088		27/08
	21/28		1 0 2 C
	21/8238		3 2 1 D
	27/092	29/62	G

審査請求 未請求 請求項の数13 O L (全 15 頁) 最終頁に続く

(21) 出願番号 特願2000-348978 (P2000-348978)

(22) 出願日 平成12年11月16日 (2000.11.16)

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 堤 聡明

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(74) 代理人 100093562

弁理士 児玉 俊英 (外3名)

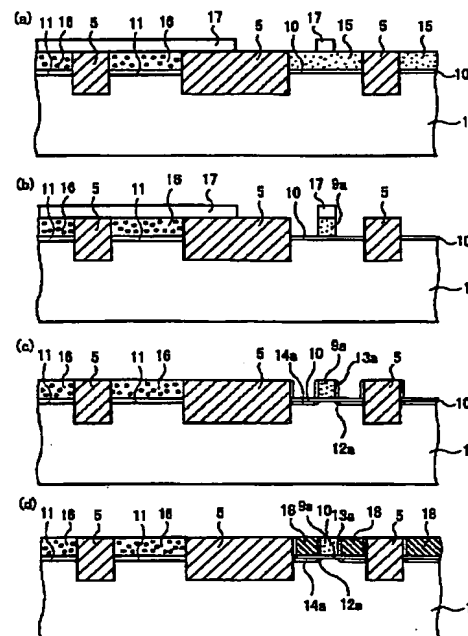
最終頁に続く

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】 (修正有)

【課題】 異なる特性を有するトランジスタを同一 L S I 内に良好に歩留まり良く形成できる半導体装置の製造方法を提供する。

【解決手段】 半導体基板 1 表面から突出するように設けられた複数のトレンチ絶縁膜 5 間に形成される凹部に、ゲート絶縁膜 10、11 を介して、それぞれ材質の異なる導電性膜 15、16 を埋め込み、これらをパターニングしてゲート電極 9 a を形成する。



9a: 第1のゲート電極 13a: 第1のゲート絶縁膜 18: 埋込み絶縁膜
12a: 第1の不純物拡散層 14a: 第2の不純物拡散層

【特許請求の範囲】

【請求項1】 半導体基板に形成された複数の溝に埋込まれた複数の第1の絶縁膜と、上記第1の絶縁膜間の上記半導体基板上に形成された複数のゲート絶縁膜と、上記複数のゲート絶縁膜上にそれぞれ形成された複数のゲート電極と、上記複数のゲート電極両側の上記半導体基板中に形成された不純物拡散層と、上記複数のゲート電極間に埋込まれた第2の絶縁膜とを備え、上記ゲート絶縁膜と上記ゲート電極と上記不純物拡散層とから成るトランジスタが複数の領域毎に異なる特性を有することを特徴とする半導体装置。

【請求項2】 異なる特性のトランジスタは、互いにゲート絶縁膜の膜厚がそれぞれ異なる膜厚を有することを特徴とする請求項1に記載の半導体装置。

【請求項3】 異なる特性のトランジスタは、互いにゲート電極の材質がそれぞれ異なる材質から成ることを特徴とする請求項1または2に記載の半導体装置。

【請求項4】 ゲート電極の材質が金属を含む導電性膜であることを特徴とする請求項3に記載の半導体装置。

【請求項5】 複数の領域毎に特性の異なるトランジスタを形成する半導体装置の製造方法において、半導体基板上にマスク膜を形成する第1工程と、上記マスク膜および上記半導体基板をパターニングして溝を形成する第2工程と、上記溝内に分離絶縁膜を埋込む第3工程と、上記複数の領域の内の所望の領域の上記マスク膜を除去する第4工程と、上記所望の領域の上記半導体基板上に所望のゲート絶縁膜を形成する第5工程と、上記ゲート絶縁膜上に所望の導電性膜を形成する第6工程と、上記第4工程と第5工程と第6工程とを他の所望の領域に対して順次繰り返して行う第7工程とを備えたことを特徴とする半導体装置の製造方法。

【請求項6】 請求項5の第4工程は、レジストパターンをマスクとして行うことを特徴とする半導体装置の製造方法。

【請求項7】 請求項5に記載の第7工程の後、複数の領域の内の所望の領域の導電性膜をパターニングしてゲート電極を形成する第8工程と、上記ゲート電極の両側の半導体基板内に不純物拡散層を形成する第9工程と、上記ゲート電極の両側と分離絶縁膜との間の半導体基板上に埋込み絶縁膜を形成する第10工程と、第8工程と第9工程と第10工程とを他の所望の領域に対して順次繰り返して行う工程とを備えたことを特徴とする半導体装置の製造方法。

【請求項8】 複数の領域毎に特性の異なるトランジスタを形成する半導体装置の製造方法において、半導体基板上にマスク膜を形成する第1工程と、上記マスク膜および上記半導体基板をパターニングして溝を形成する第2工程と、上記溝内に分離絶縁膜を埋込む第3工程と、上記マスク膜をパターニングしてダミーパターンを形成する第4工程と、上記ダミーパターンの両側の

上記半導体基板内に不純物拡散層を形成する第5工程と、上記ダミーパターンの両側と上記分離絶縁膜との間の上記半導体基板上に埋込み絶縁膜を形成する第6工程と、上記複数の領域の内の所望の領域の上記ダミーパターンを除去する第8工程と、上記ダミーパターン除去領域の上記半導体基板上に所望のゲート絶縁膜を形成する第9工程と、上記ゲート絶縁膜上に所望のゲート電極を形成する第10工程と、上記第8工程と第9工程と第10工程とを上記他の所望の領域に対して順次繰り返して行う第11工程とを備えたことを特徴とする半導体装置の製造方法。

【請求項9】 複数の領域毎に特性の異なるトランジスタを形成する半導体装置の製造方法において、半導体基板をパターニングして溝を形成する第1工程と、上記溝内に分離絶縁膜を埋込むことにより上記半導体基板表面を平坦化する第2工程と、全面に第1のダミー膜および第2のダミー膜を順に形成する第3工程と、上記第2のダミー膜をパターニングして複数のダミーゲート電極を形成する第4工程と、上記複数のダミーゲート電極の両側の上記半導体基板内に不純物拡散層を形成する第5工程と、上記複数のダミーゲート電極を覆うように絶縁膜を形成する第6工程と、上記絶縁膜を上記ダミーゲート電極が露出するまで平坦化する第7工程と、上記複数の領域の内の所望の領域の上記ダミーゲート電極および第1のダミー膜を除去する第8工程と、上記ダミーゲート電極除去領域の上記半導体基板上に所望のゲート絶縁膜を形成する第9工程と、上記ゲート絶縁膜上に所望のゲート電極を形成する第10工程と、上記第8工程と第9工程と第10工程とを上記他の所望の領域に対して順次繰り返して行う第11工程とを備えたことを特徴とする半導体装置の製造方法。

【請求項10】 ゲート絶縁膜の膜厚は、各領域毎に異なる膜厚にて形成することを特徴とする請求項5ないし9のいずれかに記載の半導体装置の製造方法。

【請求項11】 ゲート電極の材料は、各領域毎に異なる材料にて形成することを特徴とする請求項5ないし10のいずれかに記載の半導体装置の製造方法。

【請求項12】 ゲート電極上に配線層を形成する工程を備えたことを特徴とする請求項7ないし9のいずれかに記載の半導体装置の製造方法。

【請求項13】 ゲート電極上に配線層を形成する工程は、上記ゲート電極を除去する工程と、全面に導電性膜を形成する工程と、上記導電性膜をパターニングし、上記配線層と上記ゲート電極とを一体化して形成する工程であることを特徴とする請求項12に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明は半導体装置の製造方法に関し、特にMISFET構造を有する半導体装置

の製造方法に関するものである。

【0002】

【従来の技術】半導体装置の高集積化、高機能化が進むに従い、同一半導体チップ内に異なる機能を有する素子を形成するようになってきた。このため、異なる動作特性を有するトランジスタ、即ち異なる閾値を有するトランジスタを同一LSI内に形成する必要がある。そこで、異なる閾値を有するトランジスタとして、ゲート絶縁膜の厚さが異なるトランジスタを同一LSI内に形成している。

【0003】図13、14は従来の半導体装置の製造方法を示す工程断面図である。図に従って順次説明を行う。まず、図13(a)に示すように、半導体基板101上に熱酸化法またはCVD法により第1のマスク膜102として、例えばシリコン酸化膜を10nm形成する。次に、CVD法により第2のマスク膜103として、例えばシリコン窒化膜を150nm形成する。その後、写真製版により所望のレジストパターン（図示なし）を形成し、エッチング法により半導体基板101内にトレンチ104を形成する。

【0004】次に、図13(b)に示すように、全面にCVD法により第1の絶縁膜105として、例えばシリコン酸化膜を形成した後、研磨法により平坦化しながら第2のマスク膜103上の第1の絶縁膜105を除去して、トレンチ104内に第1の絶縁膜105を埋込む。

【0005】次に、図13(c)に示すように、フッ酸等のウエットエッチング法によってトレンチ104内の第1の絶縁膜105の膜厚を減じた後、熱リン酸等のウエットエッチング法により第2のマスク膜103を選択的に除去する。その後、更にウエットエッチング法により第1のマスク膜102を除去する。

【0006】次に、図13(d)に示すように、熱酸化法により第1の熱酸化膜106として、例えばシリコン酸化膜を2nm程度形成する。次に、図14(a)に示すように、写真製版法により所定の領域にレジスト膜107を形成し、レジスト膜107に覆われてない第1の熱酸化膜106をウエットエッチングまたはドライエッチング法により除去する。

【0007】次に、図14(b)に示すように、アッシング法等によりレジスト膜107を除去した後、熱酸化法により第2の熱酸化膜108としてシリコン酸化膜を2nm形成する。この結果、第1の熱酸化膜106が除去されずに残っている領域では第1の熱酸化膜106上に第2の熱酸化膜108が形成されることになり、熱酸化膜の膜厚が増加する。これにより、同一LSI内に厚さの異なる熱酸化膜を有する領域が形成される。

【0008】次に、図14(c)に示すように、ポリシリコン、アモルファスシリコン等の導電性膜を例えば200nm形成した後、写真製版およびエッチング法によりゲート電極109a、109bおよびゲート絶縁膜1

10、111を形成する。

【0009】この時、ゲート電極109aの下部には第2の熱酸化膜108からなる第1のゲート絶縁膜110が形成され、ゲート電極109bの下部には第1の熱酸化膜106および第2の熱酸化膜108からなる第2のゲート絶縁膜111が形成される。当然のことながら第2のゲート絶縁膜111の膜厚は第1のゲート絶縁膜110の膜厚よりも厚く形成されている。

【0010】その後、イオン注入法により例えばP、AsまたはB、BF₂を注入量1E13~1E14/cm²で注入して第1の不純物拡散層112を形成する。さらに、CVD法によりシリコン酸化膜またはシリコン窒化膜等を50~100nm形成した後、エッチング法によりサイドウォール113を形成する。その後、イオン注入法により例えばP、AsまたはB、BF₂を注入量1E15~1E16/cm²で注入して第2の不純物拡散層114を形成する。このようにして、第1のゲート絶縁膜110の膜厚と第2のゲート絶縁膜111の膜厚とが異なるトランジスタを形成する。

【0011】

【発明が解決しようとする課題】従来の半導体装置の製造方法は以上のものであり、同一LSI内に異なるゲート絶縁膜を形成するために2度の熱酸化を行っており、ひとつのゲート絶縁膜が2度の熱処理工程を経ることになり、ゲート絶縁膜の形成時にプロセスの変動要因を受け易いという問題点があった。

【0012】また、ゲート絶縁膜となる第1の熱酸化膜の直上にレジスト膜を形成し、除去するという工程を経て、第2の熱酸化膜を形成しているため、レジスト膜の除去工程において予期せぬレジスト膜の除去残が発生するという問題点があった。さらに、このレジスト膜の除去残によってゲート酸化膜となる熱酸化膜が汚染されるという問題点があった。

【0013】また、上記従来の技術では説明していないが、レジスト膜の除去残を取り除くためにレジスト膜除去後に洗浄工程を行っている。この洗浄工程において、使用する洗浄液が多少のエッチング作用のある液である場合、第1の熱酸化膜がエッチングされてしまい、ゲート絶縁膜の所望の膜厚が得られないという問題点があった。

【0014】さらには、第1の熱酸化膜を除去する際に、トレンチ内の第1の絶縁膜がエッチングされてトレンチ内へ後退してしまい半導体基板表面より第1の絶縁膜表面が低くなる。その結果、トレンチ上部に凹部が形成されてしまう。その後にトランジスタを形成するとトレンチ上部の凹部の側壁にMOS構造が形成されて、いわゆる逆狭チャネル効果により、トランジスタの特性が劣化させるという問題点があった。

【0015】この発明は上記のような問題点を解消するためになされたもので、同一LSI内において、異なる

膜厚のゲート絶縁膜および異なる材質からなるゲート電極を各々単独に形成することができ、異なる特性を有するトランジスタを同一LSI内に良好に歩留まり良く形成できる半導体装置の製造方法を提供することを目的としている。

【0016】

【課題を解決するための手段】この発明の請求項1に係る半導体装置は、半導体基板上に形成された複数の溝に埋込まれた複数の第1の絶縁膜と、上記第1の絶縁膜間の上記半導体基板上に形成された複数のゲート絶縁膜と、上記複数のゲート絶縁膜上にそれぞれ形成された複数のゲート電極と、上記複数のゲート電極両側の上記半導体基板中に形成された不純物拡散層と、上記複数のゲート電極間に埋込まれた第2の絶縁膜とを備え、ゲート絶縁膜とゲート電極と不純物拡散層とから成るトランジスタが複数の領域毎に異なる特性を有するようにしたものである。

【0017】この発明の請求項2に係る半導体装置は、異なる特性を有するトランジスタは、互いにゲート絶縁膜が異なる膜厚を有するようにしたものである。

【0018】この発明の請求項3に係る半導体装置は、異なる特性のトランジスタは、互いにゲート電極の材質がそれぞれ異なる材質から成るようにしたものである。

【0019】この発明の請求項4に係る半導体装置は、ゲート電極の材質が金属を含む導電性膜であるようにしたものである。

【0020】この発明の請求項5に係る半導体装置の製造方法は、半導体基板上にマスク膜を形成する第1工程と、上記マスク膜および上記半導体基板をパターニングして溝を形成する第2工程と、上記溝内に分離絶縁膜を埋込む第3工程と、上記複数の領域の内の所望の領域の上記マスク膜を除去する第4工程と、上記所望の領域の上記半導体基板上に所望のゲート絶縁膜を形成する第5工程と、上記ゲート絶縁膜上に所望の導電性膜を形成する第6工程と、上記第4工程と第5工程と第6工程とを他の所望の領域に対して順次繰り返して行う第7工程とを備えたものである。

【0021】この発明の請求項6に係る半導体装置の製造方法は、請求項5の第4工程は、レジストパターンをマスクとして行うようにしたものである。

【0022】この発明の請求項7に係る半導体装置の製造方法は、請求項5に記載の第7工程の後、複数の領域の内の所望の領域の導電性膜をパターニングしてゲート電極を形成する第8工程と、上記ゲート電極の両側の半導体基板内に不純物拡散層を形成する第9工程と、上記ゲート電極の両側と分離絶縁膜との間の半導体基板上に埋込み絶縁膜を形成する第10工程と、第8工程と第9工程と第10工程とを他の所望の領域に対して順次繰り返して行う工程とを備えたものである。

【0023】この発明の請求項8に係る半導体装置の製

造方法は、半導体基板上にマスク膜を形成する第1工程と、上記マスク膜および上記半導体基板をパターニングして溝を形成する第2工程と、上記溝内に分離絶縁膜を埋込む第3工程と、上記マスク膜をパターニングしてダミーパターンを形成する第4工程と、上記ダミーパターンの両側の上記半導体基板内に不純物拡散層を形成する第5工程と、上記ダミーパターンの両側と上記分離絶縁膜との間の上記半導体基板上に埋込み絶縁膜を形成する第6工程と、上記複数の領域の内の所望の領域の上記ダミーパターンを除去する第8工程と、上記ダミーパターン除去領域の上記半導体基板上に所望のゲート絶縁膜を形成する第9工程と、上記ゲート絶縁膜上に所望のゲート電極を形成する第10工程と、上記第8工程と第9工程と第10工程とを上記他の所望の領域に対して順次繰り返して行う第11工程とを備えたものである。

【0024】この発明の請求項9に係る半導体装置の製造方法は、半導体基板をパターニングして溝を形成する第1工程と、上記溝内に絶縁膜を埋込むことにより上記半導体基板表面を平坦化する第2工程と、全面に第1のダミー膜および第2のダミー膜を順に形成する第3工程と、上記第2のダミー膜をパターニングして複数のダミーゲート電極を形成する第4工程と、上記複数のダミーゲート電極の両側の上記半導体基板内に不純物拡散層を形成する第5工程と、上記複数のダミーゲート電極を覆うように絶縁膜を形成する第6工程と、上記絶縁膜を上記ダミーゲート電極が露出するまで平坦化する第7工程と、上記複数の領域の内の所望の領域の上記ダミーゲート電極および第1のダミー膜を除去する第8工程と、上記ダミーゲート電極除去領域の上記半導体基板上に所望のゲート絶縁膜を形成する第9工程と、上記ゲート絶縁膜上に所望のゲート電極を形成する第10工程と、上記第8工程と第9工程と第10工程とを上記他の所望の領域に対して順次繰り返して行う第11工程とを備えたものである。

【0025】この発明の請求項10に係る半導体装置の製造方法は、ゲート絶縁膜の膜厚は、各領域毎に異なった膜厚にて形成するものである。

【0026】この発明の請求項11に係る半導体装置の製造方法は、ゲート電極の材料は、各領域毎に異なった材料にて形成するものである。

【0027】この発明の請求項12に係る半導体装置の製造方法は、ゲート電極上に配線層を形成する工程を備えたものである。

【0028】この発明の請求項13に係る半導体装置の製造方法は、ゲート電極上に配線層を形成する工程は、上記ゲート電極を除去する工程と、全面に導電性膜を形成する工程と、上記導電性膜をパターニングし、上記配線層と上記ゲート電極とを一体化して形成する工程である。

【0029】

【発明の実施の形態】実施の形態1. 図1～図4はこの発明の実施の形態1の半導体装置の製造方法を示す工程断面図である。図に従って順次説明を行う。

【0030】まず、図1(a)に示すように、半導体基板1上に熱酸化法またはCVD法により第1のマスク膜2として、例えばシリコン酸化膜を10～20nm程度形成する。次に、CVD法により第2のマスク膜3として、ポリシリコンまたはシリコン窒化膜を200～400nm程度形成する。その後、写真製版により所望のレジストパターン(図示なし)を形成し第1および第2のマスク膜2、3をパターンニングする。レジストパターンを除去した後、パターンニングした第1および第2のマスク膜2、3をマスクとして、エッチング法により第1及び第2のマスク膜2、3および半導体基板1からなる、溝形状のトレンチ4を、半導体基板1内における深さが20～50nm程度と成るように形成する。

【0031】次に、図1(b)に示すように、CVD法により第1の絶縁膜5として、例えばシリコン酸化膜を全面に100～500nm程度形成した後、研磨法またはエッチバック法により平坦化しながら第2のマスク膜3上の第1の絶縁膜5を除去して、トレンチ4内のみ分離絶縁膜としての第1の絶縁膜5を埋込む。

【0032】次に、図1(c)に示すように、第1のゲート絶縁膜10を形成するための所望の領域以外を覆うようにレジストパターン70を形成する。このとき、レジストパターン70は第1の絶縁膜5および第2のマスク膜3上に形成される。次に、レジストパターン70をマスクとして第2のマスク膜3を除去する。続いて第1のマスク膜2を除去した後、レジストパターン70を除去し、洗浄を行う(図1(d))。

【0033】次に、図2(a)に示すように、熱酸化法またはCVD法により第1のゲート絶縁膜10として、シリコン酸化膜換算で1～5nm程度にて形成する。次に、図2(b)に示すように、全面に、導電性膜として例えばポリシリコン膜、アモルファスシリコン膜、金属珪化膜、金属窒化膜、金属膜若しくはこれら2つ以上の膜からなる積層膜等を形成して、研磨法またはエッチバック法により平坦化し、第1の導電性膜15を形成する。

【0034】このようにして、第1のゲート絶縁膜10を形成すれば、レジストパターン70が第1のゲート絶縁膜10に直接接触することがない。従って、レジスト除去工程において、第1のゲート絶縁膜10上にレジスト残が発生することがない。また、レジスト除去工程後の洗浄工程においても第1のゲート絶縁膜10において膜減りが生じることもない。

【0035】次に、図2(c)に示すように、図1

(c)、(d)と同様の工程を経て、写真製版およびエッチングを施すことにより、第2のゲート絶縁膜11を形成するための領域の第1のマスク膜2および第2のマ

スク膜3を除去する。

【0036】次に、図2(d)に示すように、図2(a)と同様の工程を経て、熱酸化法またはCVD法により所望の第2のゲート絶縁膜11として、シリコン酸化膜、シリコン窒化膜、金属酸化膜、金属窒化酸化膜等を形成する。この時、第2のゲート絶縁膜11の膜厚は第1のゲート絶縁膜10の膜厚とは異なるように形成され、例えばシリコン酸化膜換算で1～10nm程度にて形成される。

【0037】その後、図2(b)と同様に、全面に、導電性膜として例えばポリシリコン膜、金属珪化膜、金属窒化膜、金属膜若しくはこれら2つ以上の積層膜を形成して、研磨法またはエッチバック法により平坦化し、第2の導電性膜16を形成する。

【0038】このようにすれば、膜厚の異なる第1のゲート絶縁膜と第2のゲート絶縁膜とを別々に独立して形成することができる。したがって、所望の膜厚のゲート絶縁膜の形成の際の熱処理または成膜工程はそれぞれ一度で行え、プロセス変動によるゲート絶縁膜の変動を最低限に抑えられる。

【0039】また、各レジストパターンがゲート絶縁膜に直接接触することがないので、ゲート絶縁膜上にレジスト除去残が発生することがなく、レジスト除去工程後の洗浄工程においても各ゲート絶縁膜の膜減りが生じることもない。

【0040】その後、図3(a)に示すように、写真製版法によりレジストパターン17を形成する。次に、図3(b)に示すように、レジストパターン17をマスクとして第1の導電性膜15をエッチングして、第1のゲート電極9aを形成する。

【0041】次に、図3(c)に示すように、イオン注入法により例えばP、AsまたはB、BF₂を注入量1E13～1E14/cm²で注入して第1の不純物拡散層12aを形成する。更に、CVD法によりシリコン酸化膜またはシリコン窒化膜等を50nm形成した後、エッチバック法により第1のサイドウォール13aを形成する。その後、イオン注入法により例えばP、AsまたはB、BF₂を注入量1E15～1E16/cm²で注入して第2の不純物拡散層14aを形成する。

【0042】次に、図3(d)に示すように、CVD法等によりシリコン酸化膜等を500nm形成して研磨法またはエッチバック法により平坦化し、第1のゲート電極9aの両側の第1の絶縁膜5の間の、半導体基板上に、埋込み絶縁膜18を形成する。このようにして、所望の領域に所望のトランジスタを完成させる。

【0043】図4(a)に示すように、図3(a)～(d)と同様の工程を繰り返すことにより、第2のゲート電極9b、第3の不純物拡散層12b、第2のサイドウォール13b、第4の不純物拡散層14bを形成した後、埋込み絶縁膜18を形成する。このようにして、他

の領域にも所望のトランジスタを完成させる。

【0044】次に、図4(b)に示すように、全面に、例えばAl、Cu、W、Ta等の金属膜、TiN、TaN、WN等の金属窒化膜、Ni、Co、Ti、W、Ta等の金属シリサイド、さらにはポリシリコン等やこれらの合金や積層膜からなる導電性膜19をCVD法やPVD法により20nm程度形成する。次に、図4(c)に示すように、導電性膜19に写真製版およびエッチング法を施すことにより配線層20を形成する。

【0045】上記のように構成された実施の形態1の半導体装置は、複数の領域において、各領域に独立してトランジスタを形成できるので、所望のゲート絶縁膜、所望のゲート電極を個々に独立して形成でき、異なる特性を有するトランジスタを良好に形成できる。さらに、第1の絶縁膜は半導体基板上に突出して形成されており、半導体基板表面より後退して凹部を形成することはない。従って、凹部の側壁にMOS構造が形成されて、不要な電界を発生させ、トランジスタの特性を劣化させることを防止できる。

【0046】実施の形態2。上記実施の形態1ではゲート電極およびゲート絶縁膜を形成した後、不純物拡散層を形成する場合について説明したが、ここでは不純物拡散層を形成後、ゲート電極およびゲート絶縁膜を形成する方法について説明する。

【0047】図5～図7はこの発明の実施の形態2の半導体装置の製造方法を示す工程断面図である。図に従って順次説明を行う。まず、上記実施の形態1の図1(a)、(b)と同様の工程を経て、半導体基板1上に第1のマスク膜2、第2のマスク膜3およびトレンチ4を形成した後、トレンチ4内に分離絶縁膜としての第1の絶縁膜5を埋込む。

【0048】次に、図5(a)に示すように、写真製版法によりダミーパターン形成のためのレジストパターン21を形成する。次に、図5(b)に示すように、第2のマスク膜3のみをエッチングして第1のダミーパターン22aを形成する。

【0049】次に、図5(c)に示すように、第1のダミーパターン22aをマスクとしてイオン注入を行い、例えばP、AsまたはB、BF₂を注入量1E13～1E14/cm²で注入して第1の不純物拡散層12aを形成する。

【0050】次に、図6(a)に示すように、CVD法によりシリコン酸化膜またはシリコン窒化膜等を50nm形成した後、エッチバック法により第1のサイドウォール13aを形成する。その後、イオン注入法により例えばP、AsまたはB、BF₂を注入量1E15～1E16/cm²で注入して第2の不純物拡散層14aを形成する。

【0051】次に、図6(b)に示すように、CVD法等により絶縁膜、例えばシリコン酸化膜等をCVD法等

により500～1000nm形成して研磨法またはエッチバック法により平坦化し、第1のダミーパターン22aの両側と第1の絶縁膜5との間の、半導体基板1上に、埋込み絶縁膜28を形成する。

【0052】次に、図6(c)に示すように、図5(a)～図6(b)と同様の工程を繰り返すことにより、他の領域に第2のダミーパターン22b、第3の不純物拡散層12a、第2のサイドウォール13b、第4の不純物拡散層14bを形成した後、埋込み絶縁膜28を形成する。

【0053】次に、図6(d)に示すように、レジストパターン23を形成して第2のダミーパターン22bの形成領域を覆い、第1のダミーパターン22aとともに第1のダミーパターン22aの下部にある第1のマスク膜2をエッチング除去する。

【0054】次に、図7(a)に示すように、レジストパターン23を除去した後、熱酸化法またはCVD法により(図においてはCVD法にて形成した例を示す)、ダミーパターン22aを除去した部分の半導体基板1上に所望の膜厚の第1のゲート絶縁膜30を、例えばシリコン酸化膜、シリコン窒化膜、窒化酸化膜、金属酸化膜、金属窒化酸化膜、またはこれらの積層膜等にて形成する。その後、CVD法等により第1の導電性膜15としてドーパドポリシリコン膜、金属膜、金属窒化膜を形成する。

【0055】次に、図7(b)に示すように、第1の導電性膜15を研磨法またはエッチバック法により平坦化して第1のゲート電極29aを形成する。次に、図7(c)に示すように、図6(d)～図7(b)と同様の工程を経て、第2のゲート絶縁膜31、第2のゲート電極29bを形成する。同様に、複数の領域に所望の特性を持つトランジスタを形成することができる。

【0056】その後、上記実施の形態1と同様の工程を経て、ゲート電極上に配線層20を形成する。上記のように構成された実施の形態2の半導体装置は、上記実施の形態1と同様の効果を奏するのはもちろんのこと、ゲート絶縁膜が不純物拡散層の形成後に形成されているので、例えばシリコン酸化膜、シリコン窒化膜、窒化酸化膜、金属酸化膜、金属窒化酸化膜、またはこれらの積層膜等のうち、耐熱性に乏しい材料をゲート絶縁膜として採用することができ、技術の選択肢を広げることができる。

【0057】実施の形態3。上記実施の形態1および2ではトランジスタの閾値を制御する方法としてゲート絶縁膜の膜厚を変化させる方法について説明したが、ここではトランジスタの閾値を制御する方法としてゲート電極材料を変える方法について、上記実施の形態2に基づいて説明する。尚、上記実施の形態1も同様に形成することができることは言うまでもない。

【0058】図8はこの発明の実施の形態3の半導体装

置の製造方法を示す工程断面図である。図に従って順次説明を行う。まず、上記実施の形態2と同様の工程を経て、図7(b)と同様に、第1のゲート絶縁膜30および第1のゲート電極39aを形成し、次に、図8(a)に示すように、第2のダミーパターン22bを除去する。次に、図8(b)に示すように、熱酸化法またはCVD法により、第2のゲート絶縁膜31を形成する。その後、CVD法等により全面に第2の導電性膜36を形成する。次に、図8(c)に示すように、第2の導電性膜36を研磨法またはエッチバック法により平坦化して第2のゲート電極39bを形成する。

【0059】この時、第2のゲート電極39bは、少なくともゲート絶縁膜側の材質を第1のゲート電極39aを形成している材質とは異なった物質で形成する。例えば、第1のゲート電極39aの材質がポリシリコンの時には、第2のゲート電極39bの材質はチタン窒化膜で形成する。

【0060】この第1と第2のゲート電極39a、39bの材質はポリシリコン、アモルファスシリコン、シリサイド、金属、金属窒化膜、金属酸化膜等の導電性膜や、これらの2層以上の積層膜の材料うちの異なる材料を用いて形成する。さらには、同じ材料であってもB、As、P等の不純物をドーピングすることによって異なる仕事関数を実現しても良い。

【0061】上記のように構成された実施の形態3の半導体装置によれば、2つのトランジスタにおいて、ゲート絶縁膜の膜厚を変化させなくとも、ゲート電極を仕事関数の異なる材質を用いて形成することにより、各トランジスタの閾値を制御することができる。さらに、ゲート電極を所望の領域に所望の材料で、各々独立に形成できることから、容易にゲート電極材料を変えることができる。

【0062】従って、CMOSデバイスのN型、P型トランジスタにおいて、ゲート電極材料を変える場合に特に効果があるが、同一型のトランジスタでも、ゲート電極材料を使い分けることによりさらに多機能なデバイスが実現できる。

【0063】また、特に、ゲート電極としてシリサイド、金属、金属窒化膜等の金属を含む導電性膜の材料を用いた場合には、ゲート電極に電圧を印加した場合にも空乏層を形成することがなく、ゲート絶縁膜の実効的膜厚の増大に伴う閾値変動を防止することができる。

【0064】実施の形態4。上記実施の形態1および2ではゲート電極と配線層とを別工程で形成する場合について説明したが、ここではゲート電極と配線層とを同時に形成する場合について説明する。

【0065】図9はこの発明の実施の形態4の半導体装置の製造方法を示す工程断面図である。図に従って順次説明を行う。まず、図9(a)に示すように、上記実施の形態1と同様の工程を経て図4(a)に示すように形

成した後、第1のゲート電極9aおよび第2のゲート電極9bを除去する。次に、図9(b)に示すように、全面に導電性膜25として、例えば、ポリシリコン、アモルファスシリコン、シリサイド、金属、金属窒化膜、金属酸化膜およびこれらの2層以上の積層膜等を200~1000nm程度形成する。

【0066】次に、図9(c)に示すように、写真製版法によりレジストパターン24を形成する。次に、図9(d)に示すように、レジストパターン24をマスクとして、導電性膜25をエッチングしてゲート電極と配線層とを一体に形成する。

【0067】上記のように構成された実施の形態4の半導体装置は、一工程において、複数の領域のゲート電極および配線層を一度に形成することができ、工程数を削減することができる。また、レジストパターン24の幅をチャンネル長よりも広く設定すれば、トランジスタの微細化に伴う配線層の抵抗の増加を防止することができる。

【0068】実施の形態5。図10~12はこの発明の実施の形態5の半導体装置の製造方法を示す工程断面図である。図に従って順次説明を行う。まず、図10

(a)に示すように、半導体基板51上に熱酸化法またはCVD法により第1のマスク膜52として、例えばシリコン酸化膜を10nm形成する。次に、CVD法により第2のマスク膜53として、例えばシリコン窒化膜を150nm形成する。その後、写真製版により所望のレジストパターン(図示なし)を形成し、エッチング法により半導体基板51内にトレンチ54を形成する。

【0069】次に、図10(b)に示すように、CVD法により第1の絶縁膜55として、例えばシリコン酸化膜を全面に形成した後、研磨法により平坦化しながら第2のマスク膜53上の第1の絶縁膜55を除去して、トレンチ54内に第1の絶縁膜55を埋込む。

【0070】次に、図10(c)に示すように、フッ酸等のウエットエッチング法によってトレンチ54内の第1の絶縁膜55の膜厚を減じた後、熱リン酸等のウエットエッチング法により第2のマスク膜53を選択的に除去する。その後、更にウエットエッチング法により第1のマスク膜52を除去する。

【0071】次に、図10(d)に示すように、熱酸化法により第1のダミー膜56として、例えばシリコン酸化膜を2nm程度形成する。その後、全面にダミーゲート電極用の第2のダミー膜57を例えば200nm形成する。次に、図11(a)に示すように、写真製版によりレジストパターン58を形成し、エッチング法により第1のダミーゲート電極57aおよび第2のダミーゲート電極57bを形成する。

【0072】次に、図11(b)に示すように、レジストパターン58を除去した後、イオン注入法により例えばP、AsまたはB、BF₂を注入量1E13~1E1

4/cm²で注入して第1の不純物拡散層61a、61bを形成する。更に、CVD法によりシリコン酸化膜またはシリコン窒化膜等を50nm形成した後、エッチバック法によりサイドウォール60a、60bを形成する。その後、イオン注入法により例えばP、AsまたはB、BF₂を注入量1E15~1E16/cm²で注入して第2の不純物拡散層59a、59bを形成する。

【0073】次に、図11(c)に示すように、全面にCVD法等によりシリコン酸化膜等の絶縁膜62を500nm形成する。次に、図11(d)に示すように、研磨法またはエッチバック法によりダミーゲート電極57a、57bの表面が露出するまで絶縁膜62を平坦化する。

【0074】次に、図12(a)に示すように、レジストパターン63を形成して第2のダミーゲート電極57bの形成領域を覆い、第1のダミーゲート電極57aおよび第1のダミーゲート電極57a下部の第2のダミー膜56をエッチング除去する。次に、図12(b)に示すように、レジストパターン63を除去した後、熱酸化法またはCVD法(図においてはCVD法にて形成する例を示す)により、ダミーゲート電極57aを除去した部分の半導体基板51上に所望の膜厚の第1のゲート絶縁膜64を、例えばシリコン酸化膜、シリコン窒化膜、窒化酸化膜、金属酸化膜、金属窒化酸化膜、またはこれらの積層膜等を形成する。その後、CVD法等により第1の導電性膜65としてドーパドポリシリコン膜、金属膜、金属窒化膜を形成する。

【0075】次に、図12(c)に示すように、第1の導電性膜65を研磨法またはエッチバック法により平坦化して第1のゲート電極65aを形成する。その後、図示は省略するが、図12(a)、(b)、(c)に示す工程を他の所望の領域に繰り返すことにより、異なる領域にゲート絶縁膜の厚みを変えたトランジスタを形成し、導電性膜に写真製版およびエッチング法を施すことにより配線を形成する。

【0076】上記のように構成された実施の形態5の半導体装置は、複数の領域に独立してトランジスタを形成できるので、所望のゲート絶縁膜、所望のゲート電極を個々に独立して形成できる。更に、ゲート絶縁膜は不純物拡散層の形成後に形成しているので、耐熱性に乏しい材料もゲート絶縁膜として使用することができ、ゲート絶縁膜材料の選択の自由度が広がる。

【0077】

【発明の効果】以上のようにこの発明の請求項1によれば、半導体基板に形成された複数の溝に埋込まれた複数の第1の絶縁膜と、上記第1の絶縁膜間の上記半導体基板上に形成された複数のゲート絶縁膜と、上記複数のゲート絶縁膜上にそれぞれ形成された複数のゲート電極と、上記複数のゲート電極両側の上記半導体基板中に形成された不純物拡散層と、上記複数のゲート電極間に埋

込まれた第2の絶縁膜とを備え、ゲート絶縁膜とゲート電極と不純物拡散層とから成るトランジスタが複数の領域毎に異なる特性を有するようにしたので、特性の異なるトランジスタ毎に独立して、所望のゲート絶縁膜およびゲート電極を形成することができ、良好な多機能デバイスが得られる。

【0078】また、この発明の請求項2によれば、異なる特性のトランジスタは、互いにゲート絶縁膜の膜厚がそれぞれ異なる膜厚を有するようにしたので、多機能デバイスが精度よく確実に得られる。

【0079】また、この発明の請求項3によれば、異なる特性のトランジスタは、互いにゲート電極の材質がそれぞれ異なる材質から成るようにしたので、各ゲート電極材質固有の仕事関数によりトランジスタの閾値を制御することができ、多機能なデバイスが精度よく確実に実現できる。

【0080】また、この発明の請求項4によれば、ゲート電極の材質が金属を含む導電性膜であるようにしたので、ゲート電極に電圧を印加した場合にも空乏層を形成することがなく、ゲート絶縁膜の膜厚の実効的増大を防止することができる。

【0081】さらに、この発明の請求項5の半導体装置の製造方法は、半導体基板上にマスク膜を形成する第1工程と、上記マスク膜および上記半導体基板をパターニングして溝を形成する第2工程と、上記溝内に分離絶縁膜を埋込む第3工程と、上記複数の領域の内の所望の領域の上記マスク膜を除去する第4工程と、上記所望の領域の上記半導体基板上に所望のゲート絶縁膜を形成する第5工程と、上記ゲート絶縁膜上に所望の導電性膜を形成する第6工程と、上記第4工程と第5工程と第6工程とを他の所望の領域に対して順次繰り返して行う第7工程と備えるようにしたので、異なる複数の領域に独立してトランジスタを形成でき、所望のゲート絶縁膜を個々に独立して形成でき、膜厚の異なるゲート絶縁膜を良好に形成できるとともに、第1の絶縁膜は半導体基板上に突出して形成されており、半導体基板表面より後退して凹部を形成することはない。従って、凹部の側壁にMOS構造が形成されて、不要な電界を発生させ、トランジスタの特性を劣化させることを防止できる。

【0082】また、この発明の請求項6によれば、請求項5の第4工程は、レジストパターンをマスクとして行うようにしたので、レジストパターンがゲート絶縁膜に直接接触することがないので、ゲート絶縁膜上にレジスト除去残が発生することがなく、レジスト除去工程後の洗浄工程においてゲート絶縁膜の膜減りが生じることがない。

【0083】また、この発明の請求項7によれば、請求項5に記載の第7工程の後、複数の領域の内の所望の領域の導電性膜をパターニングしてゲート電極を形成する第8工程と、上記ゲート電極の両側の半導体基板内に不

純物拡散層を形成する第9工程と、上記ゲート電極の両側と分離絶縁膜との間の半導体基板上に埋め込み絶縁膜を形成する第10工程と、第8工程と第9工程と第10工程とを他の所望の領域に対して順次繰り返して行う工程とを備えるようにしたので、異なる複数の領域に独立してトランジスタを形成でき、所望のゲート電極を個々に独立して形成できる。

【0084】また、この発明の請求項8によれば、半導体基板上にマスク膜を形成する第1工程と、上記マスク膜および上記半導体基板をパターンニングして溝を形成する第2工程と、上記溝内に分離絶縁膜を埋込む第3工程と、上記マスク膜をパターンニングしてダミーパターンを形成する第4工程と、上記ダミーパターンの両側の上記半導体基板内に不純物拡散層を形成する第5工程と、上記ダミーパターンの両側と上記分離絶縁膜との間の上記半導体基板上に絶縁膜を形成する第6工程と、上記複数の領域の内の所望の領域の上記ダミーパターンを除去する第8工程と、上記ダミーパターン除去領域の上記半導体基板上に所望のゲート絶縁膜を形成する第9工程と、上記ゲート絶縁膜上に所望のゲート電極を形成する第10工程と、上記第8工程と第9工程と第10工程とを上記他の所望の領域に対して順次繰り返して行う第11工程とを備えるようにしたので、異なる複数の領域に独立してトランジスタを形成でき、所望のゲート絶縁膜を個々に独立して形成でき、膜厚の異なるゲート絶縁膜を良好に形成できる。さらに、耐熱性に乏しい材料もゲート絶縁膜として使用することができ、ゲート絶縁膜材料の選択の自由度が広がる。

【0085】また、この発明の請求項9によれば、半導体基板をパターンニングして溝を形成する第1工程と、上記溝内に分離絶縁膜を埋込むことにより上記半導体基板表面を平坦化する第2工程と、全面に第1のダミー膜および第2のダミー膜を順に形成する第3工程と、上記第2のダミー膜をパターンニングして複数のダミーゲート電極を形成する第4工程と、上記複数のダミーゲート電極の両側の上記半導体基板内に不純物拡散層を形成する第5工程と、上記複数のダミーゲート電極を覆うように絶縁膜を形成する第6工程と、上記絶縁膜を上記ダミーゲート電極が露出するまで平坦化する第7工程と、上記複数の領域の内の所望の領域の上記ダミーゲート電極およびダミーゲート絶縁膜を除去する第8工程と、上記ダミーゲート電極除去領域の上記半導体基板上に所望のゲート絶縁膜を形成する第9工程と、上記ゲート絶縁膜上に所望のゲート電極を形成する第10工程と、上記第8工程と第9工程と第10工程とを上記他の所望の領域に対して順次繰り返して行う第11工程とを備えるようにしたので、複数の領域に独立してトランジスタを形成できるので、所望のゲート絶縁膜、所望のゲート電極を個々に独立して形成できる。更に、ゲート絶縁膜は不純物拡散層の形成後に形成しているので、耐熱性に乏しい材料

もゲート絶縁膜として使用することができ、ゲート絶縁膜材料の選択の自由度が広がる。

【0086】また、この発明の請求項10によれば、各領域毎に、ゲート絶縁膜の膜厚がそれぞれ異なるように形成することにより、特性の異なるトランジスタを形成するようにしたので、異なる特性を有するトランジスタを同一LSI内に良好に歩留まり良く形成でき、容易に多機能なデバイスを形成することができる。

【0087】また、この発明の請求項11によれば、各領域毎に、ゲート電極の材料がそれぞれ異なるように形成することにより、特性の異なるトランジスタを形成するようにしたので、異なる特性を有するトランジスタを同一LSI内に良好に歩留まり良く形成でき、ゲート絶縁膜の膜厚が一定であっても容易に多機能なデバイスを形成することができる。

【0088】また、この発明の請求項12によれば、ゲート電極上に配線層を形成するようにしたので、配線層の幅をチャネル長よりも広く設定すれば、トランジスタの微細化に伴う配線層の抵抗の増加を防止することができる。

【0089】また、この発明の請求項13によれば、ゲート電極上に配線層を形成する工程は、上記ゲート電極を除去する工程と、全面に導電性膜を形成する工程と、上記導電性膜をパターンニングし、上記配線層と上記ゲート電極とを一体化して形成する工程であるようにしたので、一工程において、複数の領域のゲート電極および配線層を一度に形成することができ、工程数を削減することができる。

【図面の簡単な説明】

【図1】 この発明の実施の形態1の半導体装置の製造方法を示す工程断面図である。

【図2】 この発明の実施の形態1の半導体装置の製造方法を示す工程断面図である。

【図3】 この発明の実施の形態1の半導体装置の製造方法を示す工程断面図である。

【図4】 この発明の実施の形態1の半導体装置の製造方法を示す工程断面図である。

【図5】 この発明の実施の形態2の半導体装置の製造方法を示す工程断面図である。

【図6】 この発明の実施の形態2の半導体装置の製造方法を示す工程断面図である。

【図7】 この発明の実施の形態2の半導体装置の製造方法を示す工程断面図である。

【図8】 この発明の実施の形態3の半導体装置の製造方法を示す工程断面図である。

【図9】 この発明の実施の形態4の半導体装置の製造方法を示す工程断面図である。

【図10】 この発明の実施の形態5の半導体装置の製造方法を示す工程断面図である。

【図11】 この発明の実施の形態5の半導体装置の製

造方法を示す工程断面図である。

【図12】 この発明の実施の形態5の半導体装置の製造方法を示す工程断面図である。

【図13】 従来の半導体装置の製造方法を示す工程断面図である。

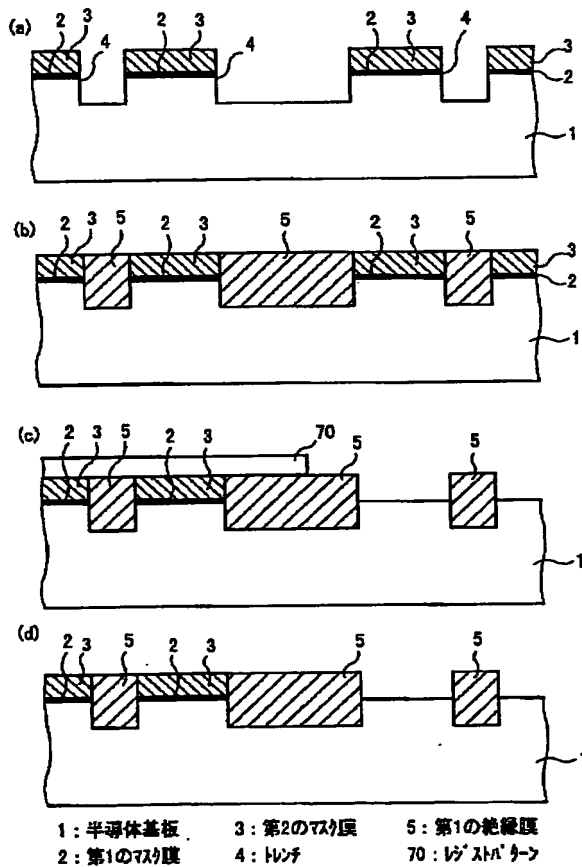
【図14】 従来の半導体装置の製造方法を示す工程断面図である。

【符号の説明】

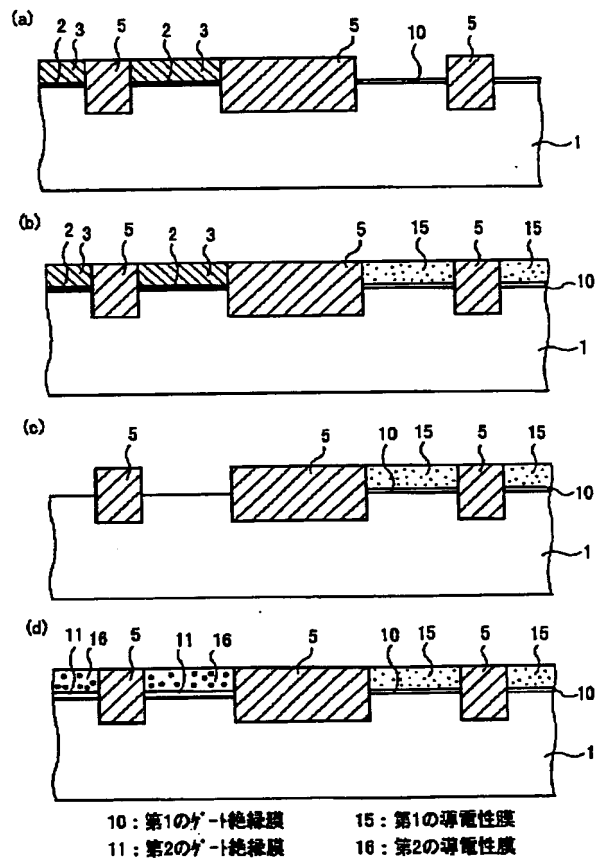
1, 51 半導体基板、2, 52 第1のマスク膜、
3, 53 第2のマスク膜、4, 54 トレンチ、5,
55 第1の絶縁膜、9a, 19a, 29a, 39a,
65a 第1のゲート電極、9b, 19b, 29b, 3

9b 第2のゲート電極、10, 30, 64 第1のゲート絶縁膜、11, 31 第2のゲート絶縁膜、12a, 61a, 61b 第1の不純物拡散層、12b 第3の不純物拡散層、14a, 59a, 59b 第2の不純物拡散層、14b 第4の不純物拡散層、15 第1の導電性膜、16, 36 第2の導電性膜、25 導電性膜、20 配線層、22a 第1のダミーパターン、22b 第2のダミーパターン、23, 70 レジストパターン、56 第1のダミー膜、57 第2のダミー膜、57a 第1のダミーゲート電極、57b 第2のダミーゲート電極。

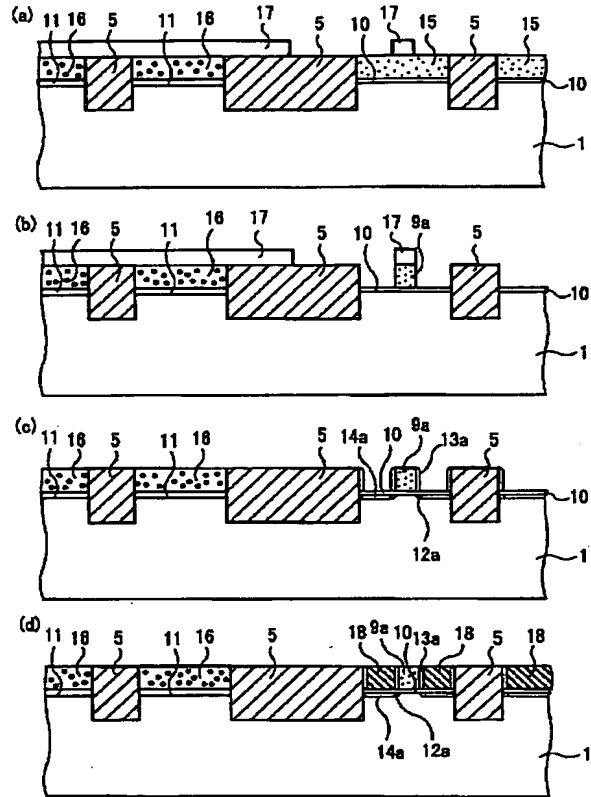
【図1】



【図2】

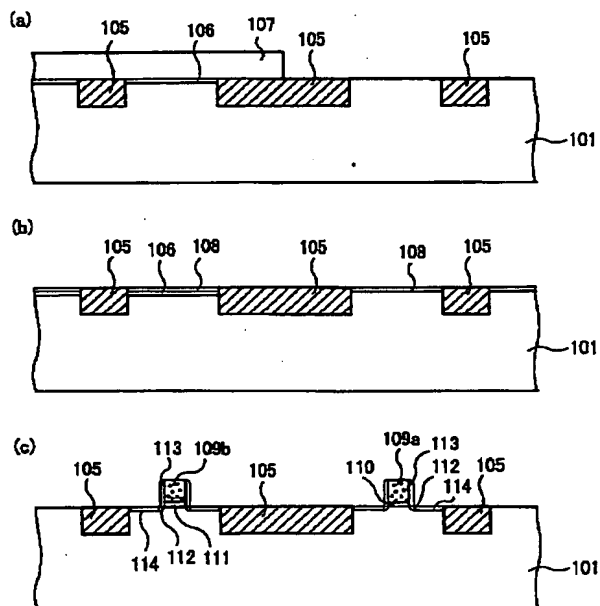


【図3】

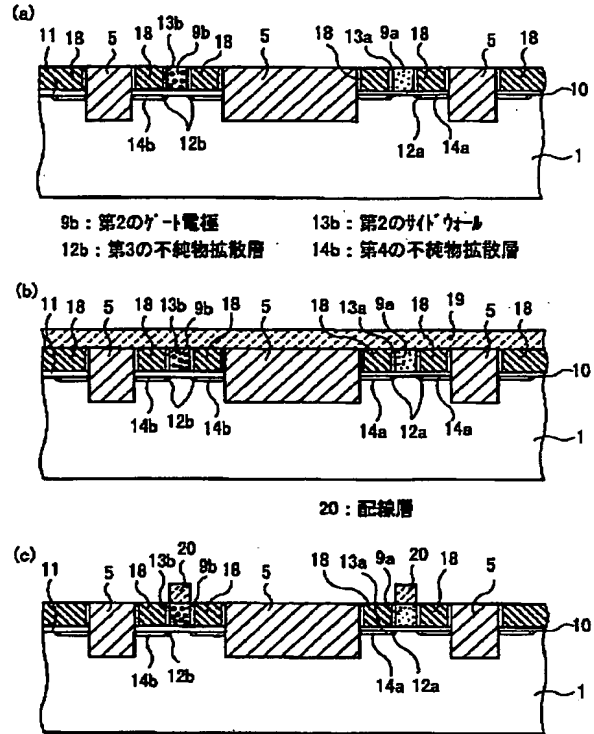


9a: 第1のゲート電極 13a: 第1のゲート絶縁膜 18: 埋込み絶縁膜
12a: 第1の不純物拡散層 14a: 第2の不純物拡散層

【図4】

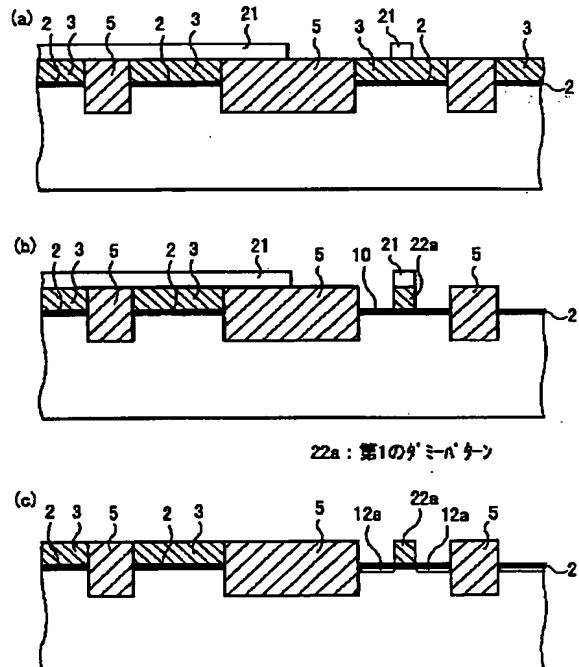


【図5】



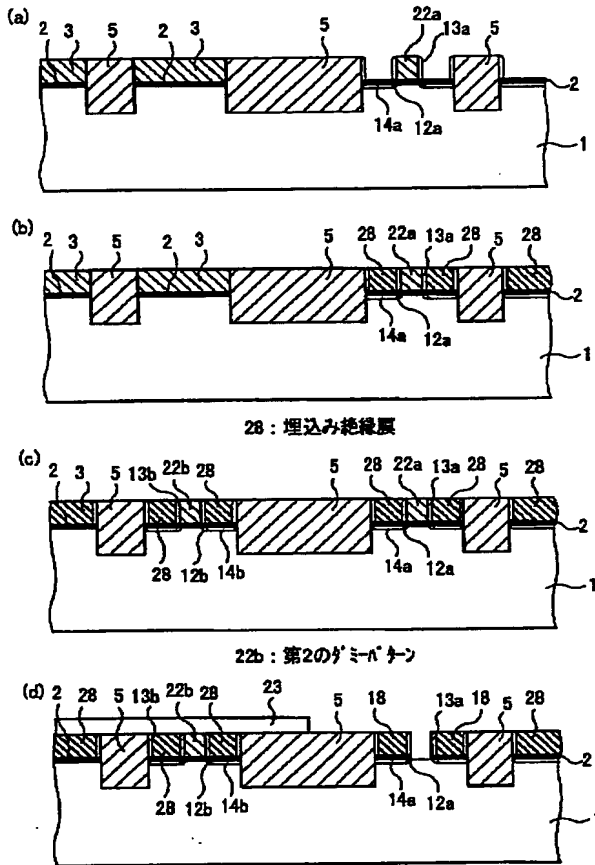
20: 配線層

【図5】

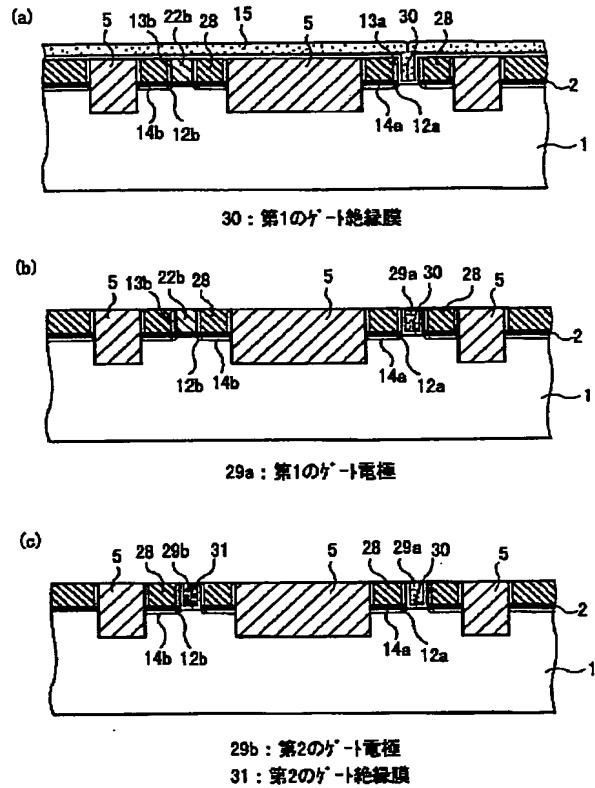


22a: 第1のゲート電極

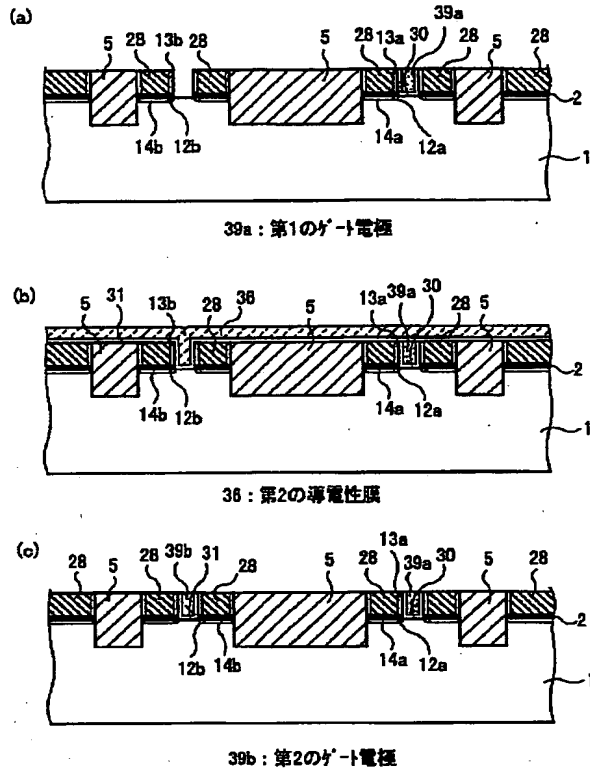
【図6】



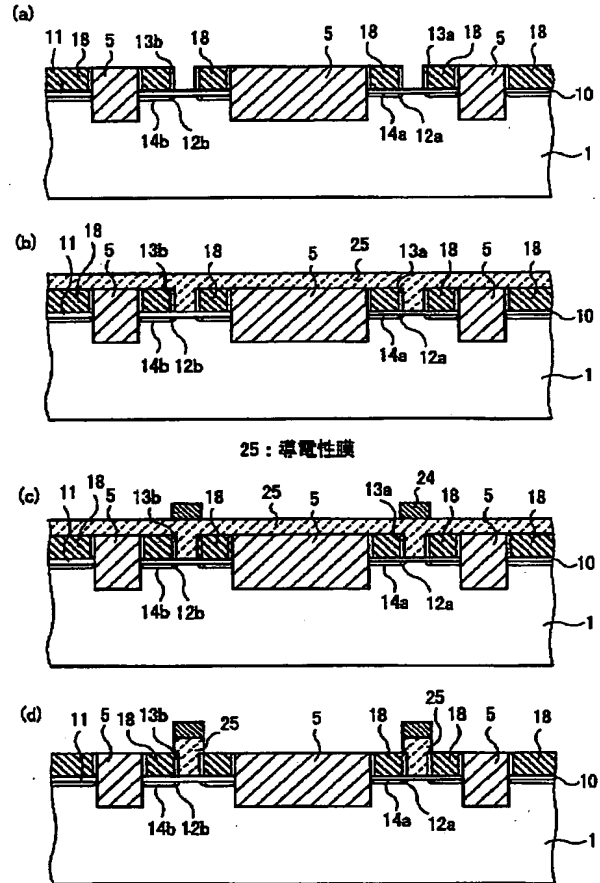
【図7】



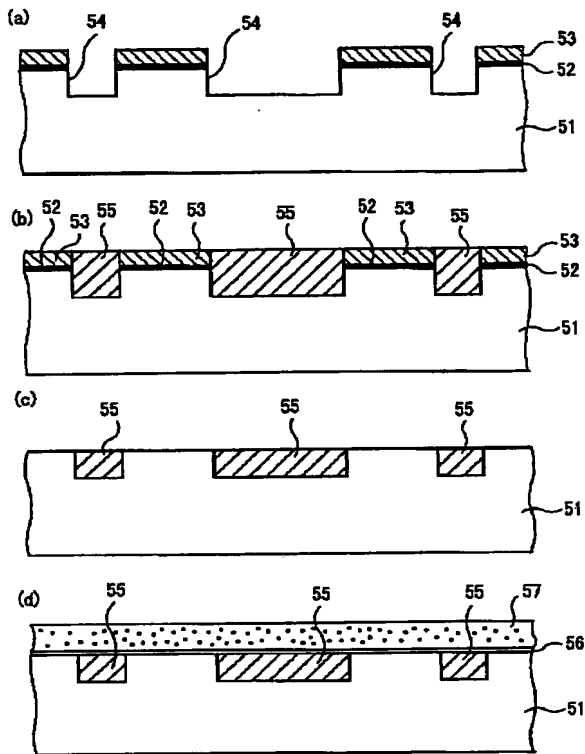
【図8】



【図9】

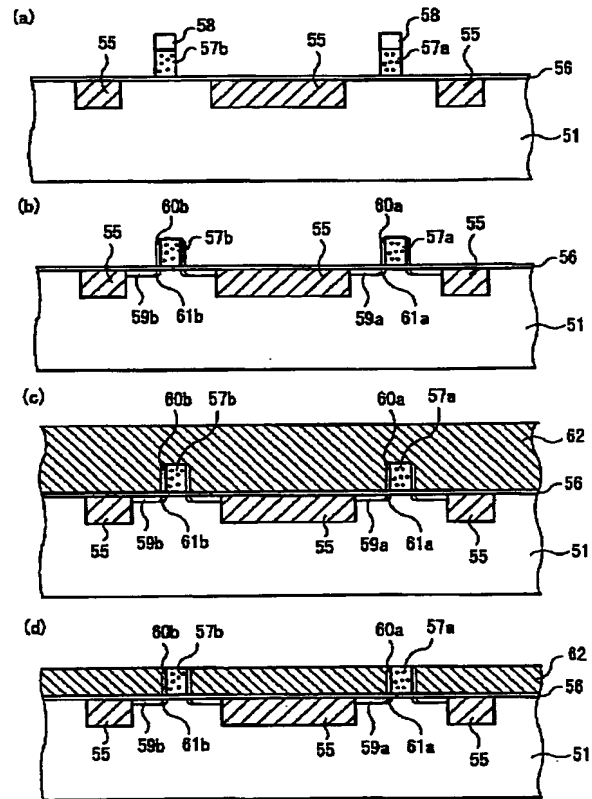


【図10】



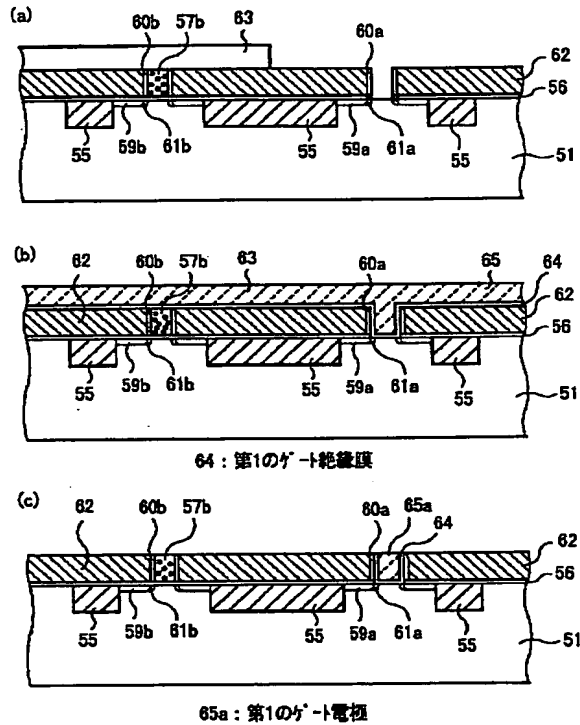
51: 半導体基板 54: トレンチ 56: 第1のゲート膜
 52: 第1のゲート膜 55: 第1の絶縁膜 57: 第2のゲート膜
 53: 第2のゲート膜

【図11】

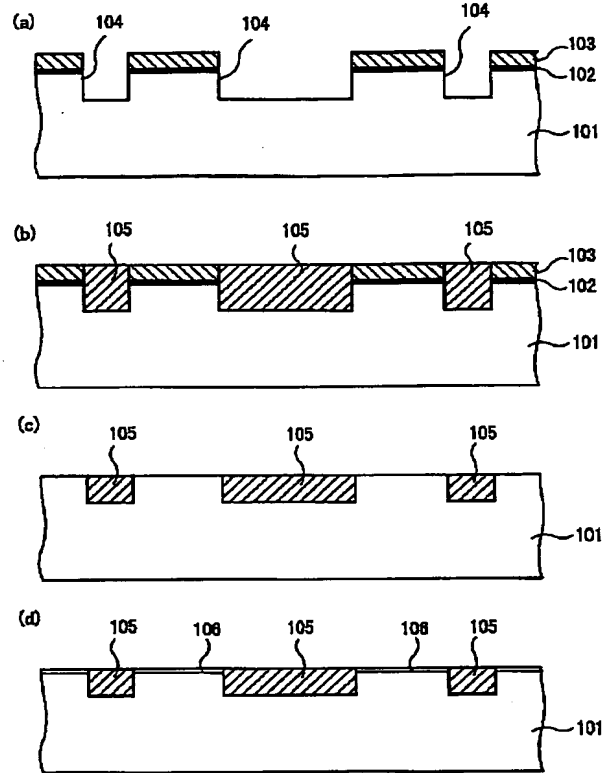


57a: 第1のゲート電極 61a, 61b: 第1の不純物拡散層
 57b: 第2のゲート電極 62: 絶縁膜
 59a, 59b: 第2の不純物拡散層

【図12】



【図13】



フロントページの続き

(51) Int. Cl. 7

識別記号

F I

ターマコード (参考)

H O I L 29/43

F ターム (参考) 4M104 AA01 BB01 BB02 BB04 BB05
 BB14 BB17 BB18 BB19 BB20
 BB21 BB25 BB27 BB28 BB30
 BB32 BB33 CC05 DD04 DD06
 DD28 DD33 DD43 DD63 DD75
 DD91 EE03 EE14 EE16 EE17
 FF13 FF14 GG09 GG10 GG14
 HH20
 5F048 AA07 AA09 AC01 AC03 BB05
 BB08 BB09 BB10 BB12 BB16
 BB17 BF02 BF06 BF07 BG14
 DA25

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

☐ BLACK BORDERS

☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES

☒ FADED TEXT OR DRAWING

☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING

☐ SKEWED/SLANTED IMAGES

☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS

☐ GRAY SCALE DOCUMENTS

☐ LINES OR MARKS ON ORIGINAL DOCUMENT

☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY

☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.

THIS PAGE BLANK (USPTO)

THIS PAGE BLANK (USPTO)